

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-212900

⑬ Int.Cl.<sup>4</sup>

G 11 C 29/00  
17/00

識別記号

1 0 1

庁内整理番号

7922-5B  
6549-5B

⑭ 公開 昭和60年(1985)10月25日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体固定記憶装置

⑯ 特 願 昭59-70414

⑰ 出 願 昭59(1984)4月9日

⑱ 発 明 者 東 常 昭 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体固定記憶装置

2. 特許請求の範囲

複数に分割された電氣的書換可能なメモリセルブロックと、これらメモリセルブロックのうちの1個への書換を選択しかつあるメモリセルブロックへの書換回数が所定最大書換回数より大きくなったことを判定して他のメモリセルブロックへ順次切換える書換回数判定回路と、前記各メモリセルブロックの各出力を入力して外部出力端子に出力するOR回路とを含む半導体固定記憶装置。

3. 発明の詳細な説明

(技術分野)

本発明は書換え回数を増加しても信頼性の低下を招くことのない電氣的消去可能な半導体固定記憶装置(以下EEPROMと称す)に関する。

(従来技術)

従来、フローティングゲート構造を有するEEPROMは、記憶用トランジスタの制御ゲートに20V程度の高電圧を印加し、トンネル効果によりドレイン上に形成された薄い酸化膜を通して電子をドレインからフローティングゲートへ到達させることにより記憶を行っている。このため高電圧印加の回数、いわゆる書換え回数が増加すると薄い酸化膜が次第に劣化しついには破壊に到る欠点を有していた。このためこのEEPROMは書き換え頻度の高い応用には不向きであるという問題があった。

(発明の目的)

本発明の目的は、このような欠点を解決し、チップ内部に書換え回数判定回路を設け、ある規定書換回数以上になると予め準備された他のメモリセルブロックに切換えることにより、書き換え頻度の高い回路にも使用できるようにしたEEPROMを提供することにある。

(発明の構成)

本発明のEEPROMは、複数に分割された電気的書換可能なメモリセルブロックと、これらメモリセルブロックのうちの1個への書換を選択し、かつあるメモリセルブロックへの書換回数が所定最大書換回数より大きくなったことを判定して他のメモリセルブロックへ順次切替える書換回数判定回路と、前記各メモリセルブロックの各出力を入力して外部出力端子に出力するOR回路とを含み構成される。

#### (実施例)

次に本発明を図面により詳細に説明する。

第1図は本発明の実施例のブロック図である。図において、1はメモリセル部分で、本実施例では100～103の4ブロックが準備されている。2は書換回数判定回路で、メモリセルブロック(以下セルブロックと称す)に対応し4回路準備されている。また、3はEEPROMの書き込みおよび読出し動作を制御するブロック、4は各々のセルブロックからのデータを出力へ伝達するOR回路である。なお、その他メモリの動作に必要なア

ドレスデコーダ、センスアンプ等は省略している。

次に主要ブロックの動作を説明する。書換回数判定回路2は紫外線消去型EPROMに使用実績のあるフローティングゲート構造のMOSトランジスタとアナログコンパレータから構成されている。この回路2のMOSトランジスタのスレッシユホールド電圧 $V_{TH}$ は、フローティングゲートに加えられる電圧 $V_{PP}$ と、印加回数 $N$ および印加時間 $t$ に比例し、次式で表わされる。

$$V_{TH} = f(V_{PP}, N, t)$$

したがってゲート電圧 $V_{PP}$ の電圧値および印加時間 $t$ が一定であればスレッシユホールド電圧 $V_{TH}$ は書換回数に比例することになる。

本実施例の場合、メモリセルが破壊に到る最大書換回数に対するマージンの程度を設定するものであるから、スレッシユホールド電圧 $V_{TH}$ の精度すなわち書換回数検出の精度は必ずしも高い必要はない。

次に番号100, 101, 102, 103の4ブロックに等分されているメモリセル1の各セルブロックは、書換回数判定回路2により選択され、ま

た4ブロックとも同時にセルブロック内の同一ワードに外部からアドレッシングされる構成となっている。

いま、EEPROMの書換回数の最大値 $N$ と設定しておく、セルブロック100のある番地で $N$ 回目の書換えが終了した後は、次回からセルブロック101内の同一番地が新たに選択される。

具体的にバイト単位で書換えが行われている例について第2図を用いて説明する。

第2図は4ブロック100～103から成るEEPROMのメモリセル部の構成図であり、各々のセルブロック100～103は $A_N$ ワード×8ビットで構成されている。ここでセルブロック100は最大書換回数 $N$ 回使用済みのパターンを示し、セルブロック101は $N+1$ 回目の書き込み後のパターンを示し、セルブロック102, 103は未使用状態を示している。このセルブロック100で、 $A_K$ 番地のデータが $N+1$ 回目の書換対象に選ばれたが、セルブロック100の最大書換回数 $N$ を超えているため、該当するワード $A_K$ のデータが

0に消去された後、セルブロック101が選択され同一ワードに書換希望のデータが書き込まれることになる。第2図のROMパターンはこの状態を表わしている。

次に、書換えられる $N+2$ 回目から $2N$ までは、セルブロック101の各ワードの書換回数が $N$ に達してなくても、指定されたアドレスに対応する8ビットデータが一旦消去された後、セルブロック102の対応するアドレスにデータを書き込む。この制御はすべて書換回数検出回路2と書き込み制御回路3によって自動的に行うことができる。このブロック内での書き込みの一旦消去する方法については、既存のEEPROMに採用されているものが用いられる。

なお、データの読出しは、各セルブロック100～103内の8ビットデータがOR回路4に接続されているため、任意の有効データが出力される。これは、未使用のセルはすべてデータ「0」であり、一旦セルブロックで無効となったワードはデータ「0」に消去されているからである。なお、

以上の説明の中でメモリセルの消去状態は論理「0」とし、書き込み状態は論理「1」と割当てている。  
(発明の効果)

以上説明した様に、本発明によれば、1ワードでも最大書き換え回数Nを超える書き換え回数が与えられた場合には、その後の書き換えは新しいセルブロックを使用することにより制御回路が簡易化され、また書き換えの制御をチップ内部で自動的に処理するため、外部端子を増加させることがなく、従来品種との端子互換性を有しながら実現できる。

このように本発明によれば、EEPROMの書き換え回数を予備セルブロックの数だけ増加させることができ、応用分野の拡大が期待できる。

101, 102, 103……4等分されたセルブロックである。

代理人 弁理士 内 原 晋



#### 4. 図面の簡単な説明

第1図は本発明の実施例の主要ブロック図、第2図は第1図のメモリセルブロックのROMパターン図である。図において  
1……メモリセルブロック、2……書き換え回数判定回路、3……制御回路、4……O/R回路、100,

